

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153490

(43)Date of publication of application : 10.06.1997

(51)Int.Cl. H01L 21/316
H01L 21/768
H01L 21/31

(21)Application number : 07-312122

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.11.1995

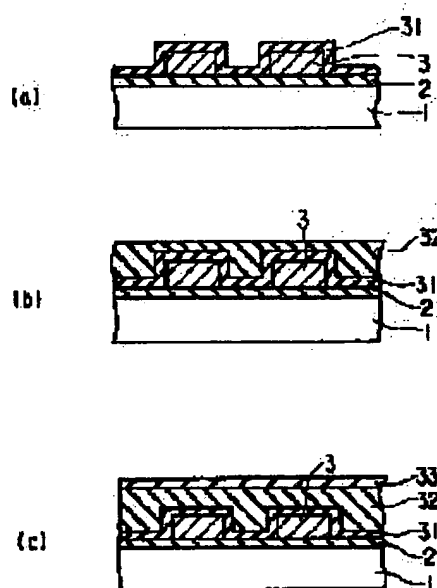
(72)Inventor : YAHIRO KAZUYUKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device which is equipped with an interlayer insulating film low in dielectric constant and high in flatness and capable of operating at a high speed without being impeded, wherein the semiconductor device can be manufactured at a low cost under conditions which are easily controlled.

SOLUTION: An interlayer insulating film is formed through such a method that a first plasma SiO₂ film 31 is formed, a mixed gas selected out of a mixed gas of SiH₄ gas and H₂O₂ gas, a mixed gas of the above mixed gas and fluorine gas, and a mixed gas of H₂O₂ and SiH_xF_y is made to react at a pressure of 665Pa or below in a temperature range from -10° C to +10° C to form a reflow silicon oxide film 32 on the first plasma SiO₂ film 31. Then, a second plasma CVD insulating film 33 is formed on the reflow silicon oxide film 32 and then annealed. Furthermore the thickness of the reflow silicon oxide film 32 is set 3/10 to 1/2 as large as the total thickness of the interlayer insulating films 31, 32, and 33.



LEGAL STATUS

[Date of request for examination] 02.03.2000

[Date of sending the examiner's decision of rejection] 25.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153490

(43) 公開日 平成9年(1997)6月10日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/316		H 0 1 L 21/316	X
	21/768		21/90	P
	21/31		21/95	

審査請求 未請求 請求項の数 6 O L (全 6 頁)

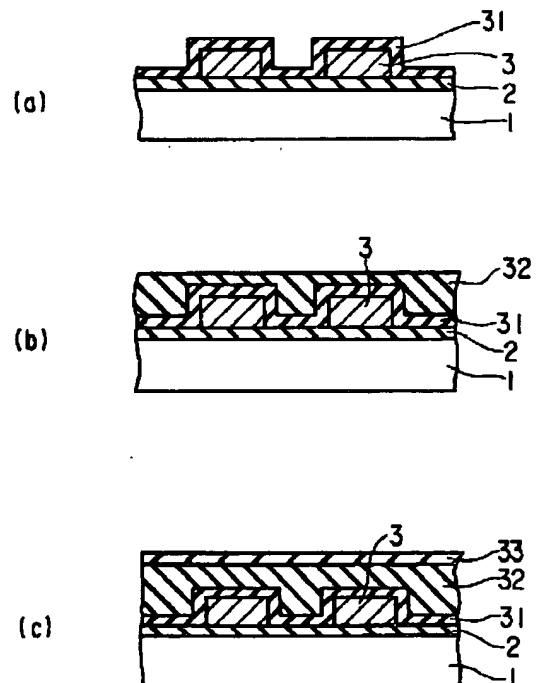
(21) 出願番号	特願平7-312122	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成7年(1995)11月30日	(72) 発明者	八尋 和之 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(74) 代理人	弁理士 鈴木 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 低比誘電率で平坦性に優れた層間絶縁膜を有し、高速動作が阻害されない半導体装置と製造条件の制御がしやすく低コストなその製造方法を提供することを目的としている。

【解決手段】 本発明は層間絶縁膜の形成方法であって、第1プラズマ SiO_2 膜31を形成する工程と、 SiH_4 ガスと H_2O_2 との混合ガス、そのガスと弗素との混合ガス、 H_2O_2 と SiH_xF_y との混合ガスのいずれか一つを 6.65Pa 以下で、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度で反応させて、第1プラズマ SiO_2 膜31上にリフロシリコン酸化膜34を形成する工程と、リフロシリコン酸化膜34上にCVDにより第2プラズマCVD絶縁膜35を形成する工程と、その後、アニールする工程とを備えている。さらに、リフロシリコン酸化膜34の膜厚は層間絶縁膜33, 34, 35の総膜厚の30パーセント以上50パーセント以下となっている。



1

【特許請求の範囲】

【請求項 1】半導体装置の配線層間の層間絶縁膜の形成方法において、

半導体基板上に CVD により第 1 絶縁膜を形成する第 1 工程と、

SiH_4 と H_2O_2 とを混合した第 1 ガス、または第 1 ガスと弗素とを混合した第 2 ガス、または H_2O_2 と SiH_xF_y の組成のガスとを混合した第 3 ガスのいずれか一つを 665 pa 以下で、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度で反応させて、前記第 1 絶縁膜上にシリコン酸化膜から成りリフロ形状を成す第 2 絶縁膜を形成する第 2 工程と、

前記第 2 絶縁膜上に CVD により第 3 絶縁膜を形成する第 3 工程と、

その後、アニールする第 4 工程とを具備し、

前記第 3 絶縁膜の膜厚は第 2、第 3 の絶縁膜を含む層間絶縁膜の総膜厚の 30 パーセント以上 50 パーセント以下の厚さとされていることを特徴とする半導体装置の製造方法。

【請求項 2】前記第 3 ガスの組成の前記 x と前記 y とは 4 以下の自然数であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】前記第 2 工程で形成される第 2 絶縁膜の膜厚は、 $10000\mu\text{m}^2$ 以上の配線層の上部の前記第 2 絶縁膜の膜厚を基に制御され、

前記第 3 工程で形成される第 3 絶縁膜の膜厚は、前記 $10000\mu\text{m}^2$ 以上の配線層の上部の前記第 3 絶縁膜の膜厚を基にして前記層間絶縁膜の総膜厚の 30 パーセント以上 50 パーセント以下の厚さに制御されることを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】少なくとも配線層が形成された半導体基板と、

前記半導体基板上に形成された第 1 絶縁膜と、シリコン酸化膜から成り、前記第 1 絶縁膜上にリフロされた第 2 絶縁膜と、

前記第 2 絶縁膜上に形成された第 3 絶縁膜とを備え、

前記第 3 絶縁膜の膜厚の割合は前記第 2 絶縁膜と前記第 3 絶縁膜とを含む層間絶縁膜の総膜厚の 30 パーセント以上 50 パーセント以下であることを特徴とする半導体装置。

【請求項 5】前記第 2 絶縁膜は、その膜中の SiO 結合に対する比が 2 パーセント以上の SiF 結合を含有することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】前記第 3 絶縁膜の膜厚の割合は前記第 2 絶縁膜と前記第 3 絶縁膜とを含む層間絶縁膜の総膜厚の 38 パーセント以上 40 パーセント以下であることを特徴とする請求項 4 または請求項 5 に記載の半導体装置。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に係り、特に多層配線構造を有する半導体装置の層間絶縁膜の改良に関する。

【0002】

【従来の技術】図 3 は従来の半導体装置及びその製造方法を説明する図で、図 4 はその製造装置を示す図である。図 4 (a) の 10 は周知のプラズマ CVD 装置、20 は周知の減圧 CVD 装置である。6 は製造途中の半導体基板 1 が収容されてセットされるカセットローダ室、7 は上記カセットローダ室と前記プラズマ CVD 装置 10 の反応室あるいは減圧 CVD 装置 20 の反応室との間で半導体基板を搬送（搬入、搬出）するロボットアームである。

【0003】図 4 (b) に前記プラズマ CVD 装置 10 の構成を示す。11 は反応室（チャンバ）、12 は上部電極（シャワーヘッド）、13 は下部電極（テーブル）、14 は排気口、15 はプロセスガス供給経路、16 は高周波電力供給経路である。

【0004】図 4 (c) に前記減圧 CVD 装置 20 の構成を示す。21 は反応室（チャンバ）、22 は上部電極（シャワーヘッド）、23 は下部電極（テーブル）、24 は排気口、25 は SiH_4 ガス供給経路、26 は H_2O_2 供給経路である。

【0005】上記装置により半導体装置を製造する場合、まず、図 3 (a) に示すように、半導体基板 1 上の絶縁膜 2（例えばプラズマ CVD 法によって形成された SiO_2 膜）表面に、下層配線用の配線材料（例えばアルミニウム）が例えば周知のスパッタ法によって堆積される。その後、周知のフォトリソグラフィ及び反応性イオネッチング（以下、RIE と記す）によって、前記配線材料のパターニングが行われ、下層配線層 3 が形成される。前記半導体基板 1 は、減圧 CVD の反応室 21 へロボットアーム 7 によって移動される。

【0006】図 3 (b) に示すように、上記下層配線層 3 の上に、減圧 CVD 装置 20 によって、絶縁膜として SiO_2 膜 4 数百 nm を減圧 CVD 法等で形成する。半導体基板 1 は、ロボットアーム 7 等によって減圧 CVD 装置 20 の反応室 21 から取り出され、別の周知の図示せぬ半導体製造装置に移動される。

【0007】次に、図 3 (c) に示すように、エッチバック等の平坦化処理をする。そして、半導体基板 1 は、ロボットアーム 7 等によってプラズマ CVD 装置 10 の反応室 11 に移動される。

【0008】その後、図 3 (d) に示すように、保護のための次の絶縁膜 5 をプラズマ CVD 法等で形成する。上記のようにして、 SiO_2 膜 4 及び絶縁膜 5 からなる層間絶縁膜を形成後、周知の製造方法によって、この層間絶縁膜にコンタクトホールあるいはビアホールを開口するためのエッチングを行う。続いて、アルミニウム等の配線材料を堆積後、パターニングを行って図示せぬ上

層配線層を形成する。

【0009】しかしながら、上記のような構成及び製造方法では、層間絶縁膜の比誘電率が4.7以上と高くなり、高速デバイスに応用しにくいという問題がある。また、平坦化の処理が必要であるので、製造に要する時間が長くなりまたコストも高くなるという問題があった。

【0010】さらに、従来は比誘電率を低くする方法としては、上記の SiO_2 膜4を形成する工程を弗素を含んだガス中で行い、絶縁膜となるシリコン酸化膜に弗素を含有させるという方法しかなかった。この場合弗素を含むガスは制御しにくい場合があるという問題があった。

【0011】

【発明が解決しようとする課題】上記のように従来の層間絶縁膜の形成においては、層間絶縁膜の比誘電率が比較的大きく、高速デバイスに応用しにくいという問題があった。この発明の目的は、下記の半導体装置及びその製造方法を提供することにある。(a)低比誘電率で平坦性に優れた層間絶縁膜を有し、高速動作が阻害されない半導体装置。

(b)製造条件の制御がしやすく低コストな半導体装置の製造方法。

【0012】

【課題を解決するための手段】上記課題を解決し目的を達成するために、この発明の半導体装置及びその製造方法においては以下の手段を講じた。

(1)請求項1に記載した本発明の半導体装置の製造方法は、半導体装置の配線層間の層間絶縁膜の形成方法であって、半導体基板上にCVDにより第1絶縁膜を形成する第1工程と、 SiH_4 と H_2O_2 とを混合した第1ガス、または第1ガスと弗素とを混合した第2ガス、または H_2O_2 と SiH_xF_y の組成のガスとを混合した第3ガスのいずれか一つを665pa以下で、 -10°C 以上 $+10^\circ\text{C}$ 以下の温度で反応させて、前記第1絶縁膜上にシリコン酸化膜から成りリフロ形状を成す第2絶縁膜を形成する第2工程を備えている。前記第2絶縁膜上にCVDにより第3絶縁膜を形成する第3工程と、その後、アニールする第4工程とを備えている。及び、前記第3絶縁膜の膜厚は第2、第3の絶縁膜を含む層間絶縁膜の総膜厚の30パーセント以上50パーセント以下の厚さとなっている。

【0013】上記本発明の半導体装置の製造方法においては、前記第3絶縁膜の膜厚が前記層間絶縁膜の総膜厚の30パーセント以上50パーセント以下となるように形成されるので、前記層間絶縁膜の比誘電率が低下する。また、前記第2絶縁膜の形成工程(以下、低温リフロ工程と記す)を弗素を含んだガス中で行うので、さらに比誘電率は低下する。従って、前記配線層の浮遊容量と前記層間絶縁膜の総膜厚との反比例の係数が小さい値となり、前記配線層の浮遊容量が小さくなる。従って、高速

動作が阻害されない前記半導体装置を製造することが可能となる。さらに、絶縁膜の膜厚のみを制御するので、制御が容易で製造装置を変更する必要はない。また、平坦化の工程が不要なので、製造時間が短縮されコストは低減される。また、前記低温リフロ工程による第2絶縁膜は従来より平坦性にすぐれているので、上層配線層の信頼性は高い。

【0014】また、請求項2に示すように、前記第3ガスの組成の前記xと前記yとは4以下の自然数となっている。上記本発明の半導体装置の製造方法においては、前記第3ガスに前記 SiH_xF_y (x、yは4以下の自然数)が含まれるので、前記層間絶縁膜にシリコンと弗素との化合物が含まれやすく、その比誘電率はより低下する。さらに、前記第2工程の低温リフロ工程のガスを組成の異なるガスに変更するだけなので、製造装置を変更する必要はない。

【0015】また、請求項3に示すように、前記第2工程で形成される第2絶縁膜の膜厚は、 $10000\mu\text{m}^2$ 以上の配線層の上部の前記第2絶縁膜の膜厚を基に制御され、前記第3工程で形成される第3絶縁膜の膜厚は、前記 $10000\mu\text{m}^2$ 以上の配線層の上部の前記第3絶縁膜の膜厚を基にして前記層間絶縁膜の総膜厚の30パーセント以上50パーセント以下の厚さに制御されている。

【0016】上記本発明の半導体装置の製造方法においては、 $10000\mu\text{m}^2$ 以上の面積の前記配線層の上部の膜厚を基に制御するので、絶縁膜の膜厚が容易に確実に制御される。

(2)請求項4に記載した本発明の半導体装置は、少なくとも配線層が形成された半導体基板と、前記半導体基板上に形成された第1絶縁膜とを備えている。シリコン酸化膜から成り、前記第1絶縁膜上にリフロされた第2絶縁膜と、前記第2絶縁膜上に形成された第3絶縁膜とを備えている。さらに、前記第3絶縁膜の膜厚の割合は前記第2絶縁膜と前記第3絶縁膜とを含む層間絶縁膜の総膜厚の30パーセント以上50パーセント以下となっている。

【0017】上記本発明の半導体装置においては、前記第3絶縁膜の膜厚の割合が前記層間絶縁膜の総膜厚の30パーセント以上50パーセント以下であるので、前記層間絶縁膜の比誘電率は小さい値となる。従って、前記配線層の浮遊容量は比較的小さい値となり、半導体装置の高速動作が阻害されない。

【0018】また、請求項5に示すように、前記第2絶縁膜は、その膜中の SiO 結合に対する比が2パーセント以上の SiF 結合を含有している。上記本発明の半導体装置においては、前記第2絶縁膜の SiO 結合に対する SiF 結合の比が2パーセント以上であるので、前記層間絶縁膜の比誘電率は比較的小さい値となる。

【0019】また、請求項6に示すように、前記第3絶

縁膜の膜厚の割合は前記第2絶縁膜と前記第3絶縁膜とを含む層間絶縁膜の総膜厚の38パーセント以上40パーセント以下である

上記本発明の半導体装置においては、層間絶縁膜の膜厚に対する第3絶縁膜の膜厚の割合が最適な値に設定されているので、比誘電率が極小になり、容量値がさらに低下する。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1に本発明の実施の形態を示す。尚、製造装置は図4と同様であり、図3と同一部分には同一番号を付し説明を省略する。

【0021】まず、前記カセットロード室6内を所定の真空状態に設定し、ロボットアーム7によって、前記半導体基板1をプラズマCVD装置10の反応室11に搬入させる。このプラズマCVD装置10の反応室11内のテーブル13を300℃程度に設定するとともに、図1(a)に示すように、ベースの層間絶縁膜として半導体基板1表面上の全面に100nmの厚さの第1絶縁膜である第1プラズマSiO₂膜31を形成する。この第1プラズマSiO₂膜31はその下層の保護のための膜であり、保護が不要の場合はこの工程は必要ない。

【0022】次に、ロボットアーム7によって、前記半導体基板1をプラズマCVD装置10の反応室11内から減圧CVD装置20の反応室21内に移動する。そして、SiH₄ガス供給源及びH₂O₂供給源からそれぞれSiH₄供給経路25及びH₂O₂供給経路26を介してSiH₄ガス及びH₂O₂ガスを導入する。この混合ガスを650pa以下にし、-10℃～+10℃の一定温度で互いに反応させる。温度は0℃が望ましい。すると、図1(b)に示すように上記半導体基板1上にリフロされて平坦化された形状を有する0.4～1.4μmの厚さの第2絶縁膜であるリフロシリコン酸化膜32が形成される。尚、リフロシリコン酸化膜32にはSiO₂だけでなくSiOが多く含まれる。

【0023】次に、減圧CVD装置20の反応室21内の気圧を6.5pa以下にして上記半導体基板1を30秒放置する。次に、ロボットアーム7によって、前記半導体基板1を減圧CVD装置の反応室21内から、プラズマCVD装置10の反応室11内へ搬送させる。そして、前記半導体基板1をプラズマCVD装置10の反応室11内で300℃で例えば120秒放置する。

【0024】この後、図1(c)に示すように、半導体基板1の全面に第3絶縁膜である第2プラズマSiO₂膜33を形成する。第2プラズマSiO₂膜33の膜厚(例えば500nm)が第1プラズマSiO₂膜31とリフロシリコン酸化膜32と第2プラズマSiO₂膜33とから成る総層間絶縁膜の膜厚(例えば1300nm)の30%～50%(例えば38%)になるように制御する。尚、後述するように、この割合については、比

誘電率が極小になる38%～40%が望ましい。また、絶縁膜の膜厚の制御は、面積10000μm²以上の下層配線層の上部における絶縁膜の膜厚を基にした制御であつてもよい。

【0025】この後、上記半導体基板1を上記プラズマCVD装置10から取出し、図示せぬ周知の半導体製造装置を用いて、例えば450℃、30分のファーンズアニールを行う。

【0026】この後、周知の半導体装置の製造方法によって、層間絶縁膜にコンタクトホールあるいはビアホール、そして、アルミニウム等の配線材料による図示せぬ上層配線層を形成する。尚、上記第1プラズマSiO₂膜31とリフロシリコン酸化膜32と第2プラズマSiO₂膜33との形成工程は低温リフロ工程を含むAPL(Advanced Planarisation Layer)形成工程となっている。

【0027】図2に実験結果の一例を示す。尚、この実験は面積10000μm²以上の下層配線層の上部で測定している。Aはリフロシリコン酸化膜32の膜厚、Bは第2プラズマSiO₂膜33の膜厚、Cは総層間絶縁膜の膜厚に対する第2プラズマSiO₂膜33の膜厚の割合、Dは比誘電率である。膜厚の単位はnm、割合はパーセント(%)である。

【0028】図2(a)に示すように、例えばリフロシリコン酸化膜32の膜厚Aを500nm、総層間絶縁膜の膜厚に対する第2プラズマSiO₂膜33の膜厚の割合Cを38%にすると、第2プラズマSiO₂膜33の膜厚Bが300nmとなり、比誘電率Dは4.2となる。別の例では、リフロシリコン酸化膜32の膜厚Aを800nm、総層間絶縁膜の膜厚に対する第2プラズマSiO₂膜33の膜厚の割合Cを38%にすると、第2プラズマSiO₂膜33の膜厚Bが500nmとなり、比誘電率Dは4.2となる。

【0029】図2(b)は総層間絶縁膜の膜厚と第2プラズマSiO₂膜33の膜厚の割合Cを横軸に比誘電率Dを縦軸にして表した図である。上記割合Cが30%～50%の時に比誘電率Dが4.5以下になっている。また、上記の割合Eが38%ないし40%の場合比誘電率が極小値Gの4.2となっている。

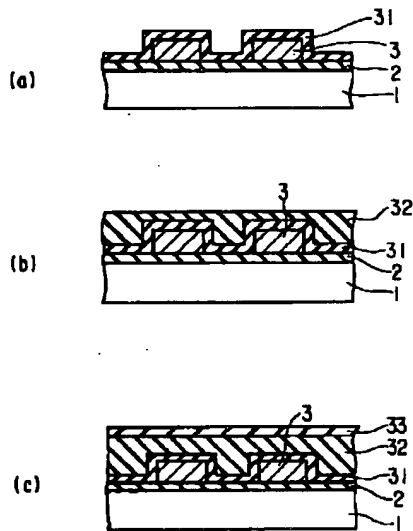
【0030】本発明の実施の形態のリフロシリコン酸化膜32の低温リフロ工程で、SiH₄とH₂O₂との混合ガスに弗素ガスが混合されてもよい。また、SiH₄の代わりにSiH_xF_y(x、yは4以下の自然数)の組成のガスを用いてもよい。この場合、リフロシリコン酸化膜32はシリコンと弗素との化合物、例えばSiF_y(yは4以下の自然数)を含有する。比誘電率をより小さい値とするには、リフロシリコン酸化膜32中のSiOに対するSiFの組成比が2%以上であることが望ましい。

【0031】実験によると、本発明の実施の形態の第1

工程で、 SiH_2F_2 を 20 sccm 、 SiH_4 等のシランを 120 sccm とした場合、リフロシリコン酸化膜 32 の SiF の組成比は 2.5% となり、比誘電率は 3.4 となる。尚、この時、 SiH_2F_2 ガスは $20\text{ sccm} \sim 100\text{ sccm}$ にしてもよい。

【0032】本発明の実施の形態においては、第2プラズマ SiO_2 膜の膜厚だけを制御して比誘電率を低下させるので、半導体装置の製造装置の改造は不要である。また、平坦化処理が不要なので、製造時間は短縮されコストは低減される。また、リフロシリコン酸化膜 32 であるリフロシリコン酸化膜の低温リフロ工程を弗素を含んだガス中で行うので、リフロシリコン酸化膜 32 にシリコンと弗素との化合物が含まれ、比誘電率はさらに低下する。従って、配線層の浮遊容量と層間絶縁膜の膜厚との反比例の係数つまり配線層の面積との比例係数が小さい値となり、配線層の浮遊容量が小さくなる。従って、半導体装置の高速動作は阻害されない。また、面積の広い配線層であってもその浮遊容量が小さくなり、半導体装置の高速動作を妨げることがない。また、リフロが行われたリフロシリコン酸化膜 32 は従来より平坦性にすぐれているので、上層配線層の信頼性は高い。従っ

【図1】



て、半導体装置全体としての信頼性は向上する。

【0033】

【発明の効果】以上説明したように、この発明によれば、下記の半導体装置及びその製造方法を提供できる。

(a) 低比誘電率で平坦性に優れた層間絶縁膜を有し、高速動作が阻害されない半導体装置。

(b) 製造条件の制御がしやすく低コストな半導体装置の製造方法。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体装置及びその製造方法を示す図。

【図2】本発明の半導体装置の特性を説明するための図。

【図3】従来の半導体装置及びその製造方法を示す図。

【図4】本発明及び従来の半導体装置の製造方法を説明するための図。

【符号の説明】

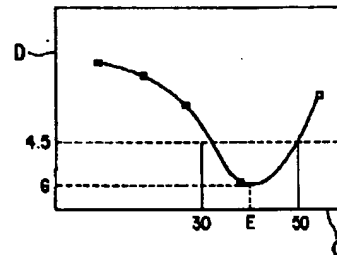
3…配線層、31…第1プラズマCVD絶縁膜、32…リフロシリコン酸化膜、33…第2プラズマCVD絶縁膜。

【図2】

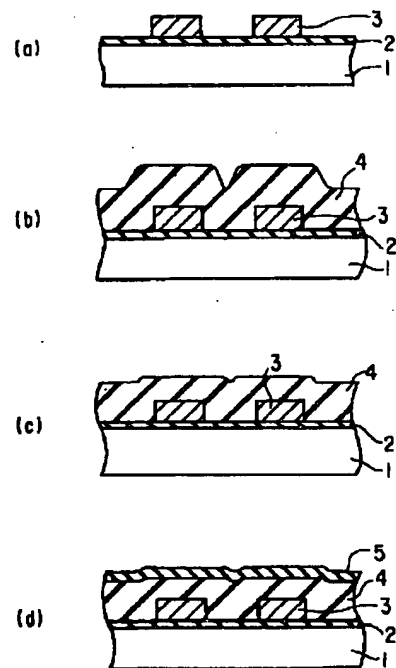
(a)

A [nm]	500		800		1000	1400
B [nm]	300	600	300	500	100	300
C [%]	38	55	27	38	9	18
D	4.2	4.8	4.75	4.2	5.1	5.0

(b)



【図 3】



【図 4】

